

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-064542

(43)Date of publication of application : 28.02.2002

(51)Int.Cl.

H04L 12/56

H04L 12/66

H04L 29/04

H04L 29/08

(21)Application number : 2000-245841

(71)Applicant: NEC CORP

(22)Date of filing : 14.08.2000

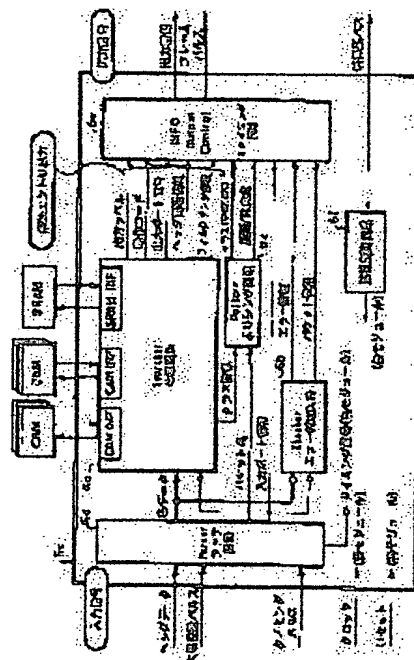
(72)Inventor : MASUDA MICHIO

## (54) LABELED PACKET TRANSFER PROCESSING METHOD AND ITS COMMUNICATION APPARATUS

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a labeled packet transfer processing method by which a router specially designed for an IP(Internet Protocol) transfer system can transfer packets by means of the MPLS (Multi Protocol Label Switching) technology so as to reconfigure cells into packets without the need for addition of a special hardware circuit.

**SOLUTION:** A receiver side MPLS engine section (5c) is provided with a latch circuit (6a) that latches each element of received data according to respective head position pulses and with an error discrimination circuit (6b) that discriminates the presence of an error in each latched element. A retrieval circuit (6c) applies label conversion processing, path decision processing and class decision processing to a packet when it is a labeled packet. Similarly the retrieval circuit (6c) acquires a class identifier being a resolution object by using header information (a combination of layer 3 information by an IP header and layer 4 information by a TCP/UDP (Transmission Control Protocol/User Datagram Protocol) header) for a retrieval key in the case of an IP packet. A CAM (Contents Addressable Memory) and an SRAM are connected to the retrieval circuit (6c), the CAM stores a rule list to classify packets and the SRAM stores an action list decided by the rule list.



## LEGAL STATUS

[Date of request for examination]

24.07.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]



## 【特許請求の範囲】

【請求項1】 IPパケットと混在するラベル化パケットをネットワークサービス品質(Quality of Service: QOS)に応じて制御する手段を有した通信装置であって、宛先を示すラベルから転送先情報及びクラス情報を解決するMPLS解決回路と、経路解決と、ラベル処理、クラス解決を行うフロー検出回路と、解決不能のパケット又は特殊パケット(Optional Header)だけをFE(Forwarding Engine)に転送することにより、前記FE転送によるスルーパケット劣化問題を回避する手段を有することを特徴とするラベル化パケット通信装置。

【請求項2】 前記ラベル化パケットは装置内にてカットスルー転送し、前記IPパケットは前記FE経由の転送を実施し、仮想入力キュー(Virtual InputQueueing: VIQ)部で前記IPパケット及び前記ラベル化パケットに組み立て直す手段を有することを特徴とする請求項1記載のラベル化パケット通信装置。

【請求項3】 前記IPパケット又は前記ラベル化パケットの入力パケットヘッダのプロトコルIDをチェックし、前記IPパケットと前記ラベル化パケットと、その他制御パケットとを識別し、前記IPパケットと前記ラベル化パケットは各パケットのヘッダ情報を受け付ける専用エンジン部と、前記IPパケットと前記ラベル化パケット以外の制御パケットについて受け付ける制御装置(CPU)とを有し、複数のプロトコル種別で要求される処理を行う振り分け手段を有することを特徴とする請求項1又は2記載のラベル化パケット通信装置。

【請求項4】 仮想出力キューに格納される前段階で、宛先および通信品質を明示するパケットヘッダのブロック毎に分けられた各フィールドを参照し、転送先カードの実装位置番号および物理ポート番号を取得する経路解決、あるいは該パケットの属するクラスコード解決を行い、主信号を含むパケットを処理するオーバーヘッド部と、あるいは、パケット情報格納セルにマッピングする手段とを有することを特徴とする請求項1乃至3のいずれかに記載のラベル化パケット通信装置。

【請求項5】 解決対象となる各エントリはメモリに登録され、エントリの内容は、パケットフロー識別子、ラベル識別子、ネットワークポリシーにより定義される付加価値情報を含み、このメモリに対する読み出し処理により、前記IPパケットと前記ラベル化パケットが属するサービス品質と転送先のファンクションカード番号が導き出される手段を有することを特徴とする請求項1乃至4のいずれかに記載のラベル化パケット通信装置。

【請求項6】 IPパケットと混在するラベル化パケットをネットワークサービス品質(Quality of Service: QOS)に応じて制御する手段を有したラベル化パケット転送処理方法であって、宛先を示すラベルから転送先情報及びクラス情報をMPLS解決回路により解決し、経路解決と、ラベル処理、

クラス解決をフロー検出回路で行い、解決不能のパケット又は特殊パケット(Optional Header)だけをFE(Forwarding Engine)に転送し、前記FE転送によるスルーパケット劣化問題を回避することを特徴とするラベル化パケット転送処理方法。

【請求項7】 前記ラベル化パケットは装置内にてカットスルー転送し、前記IPパケットは前記FE経由の転送を実施し、仮想入力キュー(Virtual InputQueueing: VIQ)部で前記IPパケット及び前記ラベル化パケットに組み立て直すことを特徴とする請求項6記載のラベル化パケット転送処理方法。

【請求項8】 専用エンジン部によって、前記IPパケット又は前記ラベル化パケットの入力パケットヘッダのプロトコルIDをチェックし、前記IPパケットと前記ラベル化パケットと、その他制御パケットとを識別し、前記IPパケットと前記ラベル化パケットは各パケットのヘッダ情報を受け付け、前記IPパケットと前記ラベル化パケット以外の制御パケットについて受け付け、複数のプロトコル種別で要求される処理を行う振り分けすることを特徴とする請求項6又は7記載のラベル化パケット転送処理方法。

【請求項9】 仮想出力キューに格納される前段階で、宛先および通信品質を明示する前記パケットヘッダのブロック毎に分けられた各フィールドを参照し、転送先カードの実装位置番号および物理ポート番号を取得する経路解決、あるいは前記IPパケットと前記ラベル化パケットとの属するクラスコード解決を行い、パケット情報格納セルにマッピングすることを特徴とする請求項8に記載のラベル化パケット転送処理方法。

【請求項10】 解決対象となる各入力パケットはメモリに登録され、入力エントリの内容は、パケットフロー識別子、ラベル識別子、ネットワークポリシーにより定義される付加価値情報を含み、前記メモリに対する読み出し処理により、前記IPパケットと前記ラベル化パケットが属するサービス品質と転送先のファンクションカード番号が導き出されることを特徴とする請求項6乃至9のいずれかに記載のラベル化パケット転送処理方法。

【請求項11】 IPネットワークのIPパケットとマルチレイヤクラスを識別してラベル化したラベル化パケットとを処理するパケット通信装置において、複数のパケットを送受信する回線カードと該回線カードに接続されて宛先向けにスイッチングするスイッチ装置と、該スイッチ装置に接続されたフォワーディングエンジンカードとを備え、前記IPパケットは前記回線カード内のメモリに格納された後前記IPパケットのヘッダ部につき前記スイッチ装置を介して前記フォワーディングエンジンカード内の経路検索処理部で経路設定され、設定された経路情報は前記フォワーディングエンジンカードから前記スイッチ装置を介して前記設定された経路情報を前記IPパケ

ットのヘッダー部と変換されて前記宛先の回線カードに出力され、

前記ラベル化パケットは前記回線カード内のメモリに格納された後前記ラベルにつき前記スイッチ装置を介して前記フォワーディングエンジンカードをカットスルーして前記宛先の回線カードに出力されることを特徴とするパケット通信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、7階層からなるISO参照モデルのネットワーク層のIPネットワークのIPパケットとマルチレイヤクラスを識別してラベル化したラベル化パケットとを処理するラベル化パケット転送処理方式およびその通信装置に関する。

【0002】

【従来の技術】データ通信が驚異的に増大している現在、キャリアはIP(Internet Protocol)トラヒックに対処すべく、コア・ネットワークを増強しなければならない。同時に、コストを下げネットワークへの投資を最大限に回収しなければならない、という要請がある。

【0003】昨今、IP(Internet Protocol)網においてはQOS(Quality of Service)を保証することが必要であり、QOS制御技術に関し、IETF(Internet Engineering Task Force)等にて議論・仕様が進んでいる。その中でも、ネットワーク利用効率向上を目的とし、QOS情報を用いた経路制御技術、およびTraffic Engineering技術を実現するために論議されているMPLS(Multi Protocol Label Switching)が、技術トレンドとなっている。

【0004】このMPLSは、ネットワークレイヤルーティングに、ATMに代表されるようなラベルスワップの概念を導入したものであり、明示的なルート指定(Explicit routing)を用いることにより、ネットワーク内に流れるトラヒックを、強制的なパス(Constraint Path)に振り向ける制御が容易に実現できる。

【0005】MultiProtocol Label Switching (MPLS)スキームの既存IP over ATMに対する優位点として、以下の点が挙げられる。

【0006】(1)ルーティング管理を一元化することにより、制御を単純化・高速化できる。

【0007】(2)物理的なNeighbor関係を結ぶことにより、スケラビリティを確保できる。

【0008】一方、IP over ATM Overlay Modelでは、通信元と通信宛先とが直接接続されているEdge Router間の網接続(Mesh Connection)全てで隣接関係を結ぶため、ルータ間に膨大な数の隣接関係が確立される問題があった。

【0009】図10に、IPパケットやATMセル、イーサネット(登録商標)セル等の複数種類のパケット伝送のMPLSネットワークでの転送メカニズムを示す。

【0010】MPLSドメイン内では、同一の転送ルールを持つパケット群に対して、Label Switching Path(LSP:10e)と呼ばれる仮想パスを設定する。図10の最下位段のMPLSドメインの入口ルータ(Ingress Boundary Router:10a)にて、ラベルスイッチを実施するルータ(Label Switching Router:LSR)は、前記同一の転送ルールを持つ集合であるFEC(Forwarding Equivalence Class)に集約してマッピングされる。同じFECにマッピングされたパケット群は、同じ"short fixed length label"(短固定長ラベル:10e)が付加される(上記処理をLabel pushと呼ぶ。)

【0011】ラベルが付与されたパケットをラベル化パケット(Labeled Packet:10f)と呼び、MPLSドメイン(10d)内のInterior LSR(10b)では、パケットに付与されたラベルによって、パケットフォワーディングが実施され(左記処理をLabel swapと呼ぶ。)、MPLSドメインの出口ルータ(Egress Boundary Router:10c)にて、ラベルは剥がされる(左記処理をLabel popと呼ぶ。)。これによって、入口ルータに入力されたパケット群と同じパケットとなる。ここで、図10の最下位段に示すように、入口ルータと出口ルータではIP層まで導通し、LSRの機能を有し、導通するだけの他のルータではMPLS層まで導通する。また、図10の中段に示すように、入口ルータでラベルプッシュとしてラベルが付加され、ラベル化されたパケット群はルータを順次通過し、ラベルスワップとして通過し、出口ルータでラベルを剥がされ、ラベルポップされる。

【0012】図11によれば、ネットワーク構成として入口ルータと出口ルータとのエッジ(11a)と、その中間ルータを通過するコアノード(11b)とからなるMPLSドメイン(11c)を形成する。MPLS-DiffServドメイン(11c)内の転送は、基本的に全てMPLSで行い、入口ルータではIPパケットとして入力した場合、MPLSパケットとしてラベルを付記して、中間ルータではMPLSパケットとして通過し、出口ルータでラベルが剥ぎ取られてIPパケットとして出力されるが、LSP(ラベルスイッチパス)(11d)がセットアップ中の場合や、コンフィグレーションにより、LSPを有効にしない場合など、IPパケットがMPLSパケットと混在することがありえる。また、LSPセットアップメッセージやルーティングパケットなどは、基本的にIPパケットのまま転送される。

【0013】入口ルータでは、ネットワークエッジノード(11a)でのトラヒック制御(Traffic Conditioning Functions)は、ユーザの契約対象であるIPフロー(11e)単位の管理を行い、上記に応じたMPLSラベル(11g)を付与する。

【0014】ネットワークコアノード(11b)では、個々のIPフローがaggregate(集計)されて構成されるクラスフロー(DS-PHB:11f)単位の処理を行うと共に、MP

LSラベルの付け替えを行う(11h)。本モデルの正当性は以下による。

【0015】(1) 管理が複雑化するという課題は、対象フロー数に依存し、ネットワークコアノードでは膨大なIPフローが混在するため、コアノードでのIPフロー管理はコスト高になる。

【0016】(2) ネットワークエッジノードのリンクインタフェースは低速であり、ネットワークコアノードのリンクインタフェースになるほど高速になるため、エッジノードと同一の機能をコアノードで実現することは困難である。

【0017】(3) 高速リンクインタフェースにおけるパケット転送の遅延時間、CDV時間は、低速リンクインタフェースにおける遅延時間、CDV時間より小さい。つまり、ネットワーク全体的な見地でとらえると、低速リンクインタフェースにおけるきめ細かな優先制御の複雑性が支配的であり、高速リンクインタフェース(コアノード)では、簡易な優先制御で十分である。

【0018】また、上記のネットワークモデルを実現する要素技術は、以下の通りである。

【エッジにおける処理】：MF Classifier & ラベルpush/swap/pop & Diffservエッジ機能、このDiffservとは小領域に有効なIntservに対する広域での差別化すべきインターネットの管理処理を提案した方式である。

【コアにおける処理】：BA Classifier & ラベルswap/PH-pop & Diffservコア機能

【Multi-Field Classifier (MF)】：IPヘッダおよびレイヤ4ヘッダの複数フィールドの組み合わせで、トラヒッククラスを判定する(Classifier)方法である。

【Behavior Aggregate Classifier (BA)】：IPヘッダのTOSフィールドのみ参照してトラヒッククラスを判定する方法である。

【0019】ここで、従来の技術として、従来ルータのアーキテクチャについて説明する。複数のネットワーク間、特にLAN同士を接続して、パケットデータの中継を行う装置としては、国際標準化機構(ISO; International Organization for Standard)で定められた、開放型システム相互接続(OSI; Open Systems Interconnection)参照モデルにおける、レイヤ2のデータリンク層(特に、メディアアクセス副層)において接続を行う「ブリッジ」、さらにその上位層であるネットワーク層において接続を行う「ルータ」等の装置が知られている。

【0020】従来の(IP over ATM)ルータ装置における、基本アーキテクチャの一例を図1に示す。

【0021】専用のパケット処理ハードウェア回路等の主信号入出力部を有するLine Card(回線カード)(1a)と、経路検索処理部を有するForwarding Engine (FE)カード(1b)と、N×Nクロスバ方式によるスイッチファブリック(1d)とから構成される。

【0022】IPパケットのフォワーディング(転送)処理は、全体のスループット性能を上げ、パケット廃棄を発生させないことを目的とし、高速性が第一に求められる。一方ルーティング処理は、高速性よりはむしろ様々なルーティングプロトコルを駆使して、いかに多様なサービスを提供するかが重要になる。フォワーディング処理と、ルーティング処理を同じCPU等で行うと、両者の処理が干渉し合い、装置システムとして最高の性能を発揮することが困難である。このため、従来ルータは、前記フォワーディング機能とルーティング機能を分離し、それぞれフォワーディングエンジン(FE)と、ネットワークプロセッサ(NP)で行っている。この機能分離は、高速ルータになるにつれ、顕著に適用されており、フォワーディング処理部をハードウェア(ASIC)化し、高速化するのが一般的である。

【0023】フォワーディングエンジン(FE)は、高速プロセッサを具備し、専用ハードウェアレベルの高速転送処理をアセンブラプログラム制御にて実現している。そのため、パケットフィルタリング機能の変更、ヘッダフォーマットの変更等にも柔軟に対処できる。また、将来、更なる高いクロック周波数の同プロセッサが出現すれば、FEの処理性能向上に寄与できるという利点を持つ。

【0024】基本的なIPパケットのフォワーディング処理はラインカードとFEカード間で行われる。ラインカードからはレイヤ3(例えば、IP)ヘッダ部分だけをFEへ転送し、FEはアドレス検索をして出力ポートを決定する。FEはIPヘッダのTTL(Time To Live)及びチェックサムを更新して出力ポートの情報と共にラインカードに返送する。この時の情報をUpdated Header(UH)と呼ぶ。UHを受け取ったラインカードは、受信IPヘッダをUHに差し替え、クロスバスイッチを経由して出力ポート宛へパケット全体を転送する。

【0025】Line Card(LC)及び、Forwarding Engine (FE)カードは、Function Cardとして共通のスロットシャーシに実装可能である。つまり、FEは複数実装ができ、カード単位で負荷分散させることが可能で、装置全体のスループット性能を拡張することができる。

【0026】スイッチファブリック(1d)は、クロスバスイッチ(Switch Data Path (DP))(1d1)、および接続調停回路(Switch Allocator(SA))(1d2)を備える。DP(1d1)は、クロスバ方式によるN入力ポート×N出力ポート構成のスイッチである。SA(1d2)は、単位スイッチサイクル毎に全てのファンクションカード(最大N枚)からのスイッチ接続要求、または、パケット受信拒否通知に基づき、DP(1d1)に対して、N×Nスイッチングポートの接続を決定する機能を有する。

【0027】スイッチの接続パターンは固定周期単位に切り替わる。この動作単位をエポックと呼ぶ。接続調停回路もエポック単位でパイプライン動作する。各カードの

Bid信号(接続を要求する各Nbitマスク信号)、Inhibit信号(着信禁止を要求する各Nbitマスク信号)の状態から接続ボタンを決定する。接続調停回路には複数レベルの優先度を設定可能であり、FEカードからのBid信号は、ラインカードのBid信号よりも高優先処理される。Bid要求信号の衝突が発生した場合は、優先度を加味し、優先度が同じ場合は、シャッフリングを行い公平性を確保している。

#### 【0028】

【発明が解決しようとする課題】しかしながら、従来のルータアーキテクチャには、以下のような課題がある。

【0029】<課題1>従来、ルータは、IP転送系に特化しているため、当該装置のアーキテクチャの大半はMPLS転送に必要となる転送手段を具備していない。

従来ルータにおけるIPパケット転送は、一旦、FEにRoute Request Pageを転送して、宛先解決後、宛先のLine Cardに転送方式を実施しているが、上記転送方式は、MPLSなどのラベルスイッチングには適さない。何故なら、パケット毎に経路検索がFEで行われ、かつ経路検索に伴いroute-request/updated-headerの転送が、FEカード・ラインカード間で発生する。ここで、ラインカードからスイッチ方向の転送方向に着目すると、1パケット転送当たり、“該当パケットを構成するpage数+Route requestの1page”のpage転送が発生し、スイッチの帯域リソースを浪費する結果となる。上記現象は、短パケットがフルロードで入力すると、スイッチ容量が、Route requestおよび主信号転送系の転送帯域で占有され、明らかにupdate header転送用の帯域が不足し、転送性能のボトルネック箇所となり得る。

【0030】<課題2>従来、ルータは、IPパケットスイッチ機能と、ATMクロスコネクタ(いわゆる、セルブリッジ)機能を併用した運用を想定し、特定仮想チャネル(VC)接続を持つATMセルについては、FEを経由しない転送機能を有しているが、上記機能は、単なるセルスイッチであり、デセル化(セルをパケットに再構築する)機能は有していない。そのため、デセル化の為の特別なハードウェア回路の追加または改版を必要とする等の欠点がある。

【0031】そこで、本発明は、IP転送系に特化したルータに、MPLS転送を行わせ、特別なハードウェア回路を追加することなく、デセル化を行うことを課題としている。

#### 【0032】

【課題を解決するための手段】本発明は、上記課題を解決するために、IPパケットと混在するラベル化パケットをネットワークサービス品質(Quality of Service: QOS)に応じて制御する手段を有したラベル化パケット通信装置であって、宛先を示すラベルから転送先情報及びクラス情報を解決するMPLS解決回路と、経路解決と、ラベル処理、クラス解決を行うフロー検出回路

と、解決不能のパケット又は特殊パケット(Optional Header)だけをFE(Forwarding Engine)に転送することにより、前記FE転送によるスループット劣化問題を回避する手段を有する。

【0033】また、本発明は、IPパケットと混在するラベル化パケットをネットワークサービス品質(Quality of Service: QOS)に応じて制御する手段を有したラベル化パケット転送処理方法であって、宛先を示すラベルから転送先情報及びクラス情報をMPLS解決回路により解決し、経路解決と、ラベル処理、クラス解決をフロー検出回路で行い、解決不能のパケット又は特殊パケット(Optional Header)だけをFE(Forwarding Engine)に転送し、前記FE転送によるスループット劣化問題を回避する。

【0034】また、本発明は、IPネットワークのIPパケットとマルチレイヤクラスを識別してラベル化したラベル化パケットとを処理するパケット通信装置において、複数のパケットを送受信する回線カードと該回線カードに接続されて宛先向けにスイッチングするスイッチ装置と、該スイッチ装置に接続されたフォワーディングエンジンカードとを備え、前記IPパケットは前記回線カード内のメモリに格納された後前記IPパケットのヘッダー部につき前記スイッチ装置を介して前記フォワーディングエンジンカード内の経路検索処理部で経路設定され、設定された経路情報は前記フォワーディングエンジンカードから前記スイッチ装置を介して前記設定された経路情報を前記IPパケットのヘッダー部と変換されて前記宛先の回線カードに出力され、前記ラベル化パケットは前記回線カード内のメモリに格納された後前記ラベルにつき前記スイッチ装置を介して前記フォワーディングエンジンカードをカットスルーして前記宛先の回線カードに出力される。

【0035】また、本発明は、IP(Internet Protocol)パケットと混在するラベル化パケットをネットワークサービス品質(Quality of Service: QOS)に応じて制御する手段を有した装置であり、またIPパケットスイッチ機能とATMクロスコネクタ機能を有する従来ルータの機能アーキテクチャを踏襲し、低コストで従来ルータをLSR(Label Switching Router)に機能拡張する際において、柔軟な移行が可能(seamless)であり、汎用性に優れたパケット転送処理方式および通信装置を提供する。

【0036】また、本発明は、IP網のようなパケット通信において、宛先を示すラベルから転送先情報やクラス情報を解決するハードウェア回路であり、下記機能を実現する手段を有する。

(1) ラベル化パケットは、装置内にてカットスルー転送し、IPパケットはFE経由の転送を実施しても、仮想入力キュー(Virtual Input Queuing: VIQ)部で、パケットに組み立て直す機能が働くようにする。

(2) フロー検出回路で、経路解決、ラベル処理、クラス解決を行って、解決不能の packets や特殊 packets (Optional Header) だけを、FE (Forwarding Engine) に転送することにより、FE 転送によるスループット劣化問題を回避する。

【0037】従来例では、宛先 IP アドレスから転送先情報を解決するために、全てスイッチ経由で FE に転送していたが、本発明では、ラベル化 packets と IP packets を識別し、ラベル化 packets はラインカード内の専用エンジンにて経路解決を行い、IP packets は、FE 転送するという振分手段を有する。

【0038】従来例では、特定 VC (Virtual Connection) を持つ ATM セルについては、FE を経由しない転送を実施するセルブリッジ機能を有しているが、その機能は、単なるセルスイッチであり、デセル化(セルを packets に再構築する)機能は有していない。そのため、FE デセル化の為に特別なハードウェア回路の追加または改版を必要とする等の欠点があるが、本発明では、FE を経由しないカットスルー転送系においても、現行のデセル化回路を機能させる手段を有する。

【0039】

【発明の実施の形態】本発明の実施形態について、図面を参照し詳細に説明する。図1は、本発明を適用する装置構成を示した説明図である。

【0040】本実施形態による装置は、従来の高速ルーターアーキテクチャを継承した構成であり、例えばバックボーンに置かれることを前提とした高速・高帯域のコアルーターであり、専用の packets 処理ハードウェア回路等の主信号入出力部を有する回線カード (Line Card) (1a) と経路検索処理部を有する Forwarding Engine (FE) カード (1b) と、N×N クロスバ方式によるスイッチファブリック (1d) から構成される。

【0041】スイッチファブリック (1d) は、クロスバスイッチ (Switch Data Path (DP)) (1d1)、および接続調停回路 (Switch Allocator (SA)) (1d2) を備える。

【0042】DP (1d1) は、クロスバ方式による N 入力ポート×N 出力ポート構成のスイッチである。

【0043】接続調停回路 SA (1d2) は、単位スイッチサイクル毎に、全てのファンクションカード (最大 N 枚) からのスイッチ接続要求、または、packets 受信拒否通知に基づき、クロスバスイッチ DP (1d1) に対して、N×N スイッチングポートの接続を決定する機能を有する。

【0044】ファンクションカードは、高速性を重視するフォワーディング処理部と、多様性を重視したルーティング処理部を分離し、フォワーディングテーブルを用いてフォワーディング処理(いわゆる経路検索処理)を、フォワーディングエンジン (FE) (1b) に行う。ネットワークプロセッサカード (1c) は、ルーティングテーブルを用いて、ルーティング処理(経路テーブル作成処

理)をネットワークプロセッサ (NP) (1c) で行う。

【0045】ファンクションカード (FE またはラインカード: 1a, 1b) のスイッチインタフェース部は、スイッチファブリック (Switch Data Path (DP))、および、Switch Allocator (SA)) との共通インタフェースとして、スイッチインタフェース部を有し、上記スイッチインタフェース部は、入力インタフェース (packets を外部から受信) に備えるブロックを TSU (To Switch Unit) (1a2) と呼び、出力インタフェース (packets を外部へ送信) に備えるブロックを FSU (From Switch Unit) (1a3) と呼ぶ。

【0046】図2は、本発明で適用するスイッチインタフェース部の要部構成を示すブロック図である。TSU (1a2) には、全ての宛先ポート毎 (To#1-To#N) に仮想出力キュー (Virtual Output Queuing: VOQ) を備え、従来のクロスバスイッチの弱点であった HOL (Head of Line) ブロッキング現象によるスイッチ効率低下の問題を解消し、理論上100%のスイッチ効率を有するノンブロッキングスイッチインタフェースである。

【0047】図2において、ファンクションカード (1a) には、TSU による主信号入出力処理部から packets を受けるルートリクwest (RR) とペイロードメモリにペイロード部を一時的に格納してヘッダ部の宛先をそれぞれ To#n として各ポートからルート設定のためにクロスバスイッチに出力する。また、ファンクションカード (1a) には、クロスバスイッチ (1d) から各ポートに受信した各 packets からペイロード部を一時的にペイロードメモリに格納すると共に、ヘッダ部の宛先を順次 Fm#n として、主信号入出力処理部 (1a1) に出力する。また、アップデートヘッダ (UH) は、ルートリクwest RR を有する TSU に出力する。

【0048】各スイッチサイクルにおける転送単位は、固定長(この単位を、Page と呼ぶ)であり、packets 長に依らず、効率よくかつ低遅延でスイッチング可能である。

【0049】FSU (1a3) にも、TSU 相当の全送信元ポート毎の仮想入力キュー (Virtual Input Queuing) を備え、上記スイッチング単位として定義した Page を元の packets に再構築する機能を有している。

【0050】全ての宛先ポート毎 (To#1-To#N) に備えた TSU 側の仮想出力キュー管理の概念を図3に即して説明する。各ポートについて、各仮想出力キューには、#1、#2...、#N の各宛先カード毎の専用領域が与えられ、該当キューの page 格納数をカウントすると共に、Page データが格納されているメモリアドレスのリンクリストを管理する。左記管理において、該当キューの Page 格納領域が格納容量の閾値に達すると、その page が対応する packets は廃棄キューとして、廃棄処理される。

【0051】図3において、High、Low は、VOQ (TSU) 部におけるキューイング優先度を示している。Route Req

uest (RR)オブジェクト内に収容される優先値に応じて、RRを指定FEのスロット番号用キューのHigh/Lowいずれのキューに入れるか、又は廃棄キューに入れるかが決定される。Highキューに格納されたパケットは、Lowキューに格納されたパケットよりも絶対的に優先制御される。従って、Lowキューに格納されたパケットに対する処理が許容されるのは、Highキューにパケットが格納されていない場合に限られる。

【0052】図5に示すように、ラインカード(1a)の主信号入出力部(1a1)は、インタフェース種別として例えばPOS(PPP over SONET)を想定した場合、PHYフレーム(5a)、PPPフレーム終端部(5b)、MPLSエンジン(受信側)(5c)、TSU制御部(5d)、MPLSエンジン(送信側)(5f)、FSU制御部(5e)より構成される。

【0053】PHYフレーム(5a)は、各速度のSONET/SDHインタフェースを収容し、SONET/SDHフレームを終端し、SONET/SDHペイロード上にマッピングされたHDL Cフレームを終端する機能を有する。

【0054】PPP(Point-to-Point Protocol)フレーム終端部(5b)は、受信側の処理として、HDL Cフレームの情報フィールドにマッピングされたPPPパケットを終端する機能を有する。具体的には、PPPヘッダのプロトコルIDをチェックし、IPパケット、ラベル化パケットと、その他制御パケットを識別し、IPパケット、ラベル化パケットはヘッダ情報をMPLSエンジン部(5c)に送信し、IPパケット、ラベル化パケット以外の制御パケットについては、例えばカード搭載のCPU(図示していない)に転送し、各プロトコル種別で要求される処理を行う。送信側の処理として、IPパケット、ラベル化パケットの他にPPPリンクの状態、リンクの使用状態に応じて対向装置側に制御パケットを送信する。本ブロックにおいて、十分なバッファが実装可能である場合は、可変長パケットをpage分割する機能を具備してもよい。

【0055】受信側のMPLSエンジン(5c)では、TSU(1a2)のメモリに格納される前段階で、宛先および通信品質を明示するパケットヘッダ(IPv4パケットの場合は、IPv4ヘッダ(20バイト)とその上位プロトコルヘッダの任意の組み合わせ、ラベル化パケットの場合は、複数枚のラベル情報を含むShim-Header)の各フィールドを参照し、転送先カードの実装位置番号および物理ポート番号を取得する経路解決、あるいは該パケットの属するクラスコード解決(Classifier)、監視処理(Police r)をMPLSラベル処理として行い、主信号パケットのオーバーヘッド部、あるいは、パケット情報格納セルにマッピングする(図9A、図9Bに即して、後述する。)

【0056】解決対象となる各エントリは、メモリに登録されており、エントリの内容は、パケットフロー識別子、ラベル識別子、ネットワークポリシー等より定義さ

れる付加価値情報等を含み、この表引き(メモリに対する読み出し処理)により、該パケットが属するサービス品質や転送先のファンクションカード番号が導き出される。

【0057】TSU制御部(5d)では、IPパケット受信部(1a)より受信したpageデータと、IP-QOSクラス決定部(1e)において解決した該パケットに対応するクラスコードにより、スイッチに対して優先制御を行う。

【0058】以降、スイッチインタフェース部であるVOQ制御のTSU(1a2)に、pageデータが受け渡される。本ブロックの構成は、図2に即して説明済である。クロスバスイッチを介して、受信したPageデータは、FSU(1a3)のメモリに格納する。VIQ制御のFSUでは、パケットを構成する全てのpageデータの受信が完了すると、パケット毎にその仮想処理単位として"Object"と呼ぶ固定長のパケット情報格納セルを生成する。

【0059】送信側のMPLSエンジン(5f)では、FSU(1a3)が生成したobjectを取り込み、メモリに格納する。左記メモリは、受信側のMPLSエンジン(5c)にて解決したクラスコード別にキュー管理されており、高優先クラスのobjectより、優先的にメモリから読み出され、FSU制御部(5e)に受け渡すといった優先スケジューリングを実行する。

【0060】FSU制御部(5e)では、受信したobjectを元にFSUのメモリからpage単位にデータを読み出してIPパケットに再構築し、PPPフレーム終端部(5b)で更にPPPフレームにカプセル化される。

【0061】図6は、MPLSエンジン部(受信側)の要部説明図である。受信側のMPLSエンジン部(5c)は、入力データの各要素を、それぞれの先頭位置パルスにてラッチするラッチ回路(6a)、前記ラッチした各要素のエラーの有無を判定するエラー判定回路(6b)、ラベル化パケットの場合は、ラベル変換処理、経路決定処理、クラス決定処理を、外部メモリの検索により実施する検索回路(6c)、あるいは、ラベル化パケットでない(IPパケット)の場合は、受信したIPパケットのヘッダ情報(IPヘッダに代表されるレイヤ3情報、およびその上位レイヤに相当するTCP/UDPヘッダに代表されるレイヤ4情報の組み合わせ)を検索キーとして、メモリアクセスし、解決対象となるクラス識別子を取得する検索回路(6c)、クラス毎に設定された転送可能容量を超えるような過剰なトラヒックの流入を監視し、転送可能容量を超える場合は、該当クラスのパケットを廃棄、あるいは、転送優先度を下げる制御を実施するポリシング回路(6d)、解決した各要素をリタイミングして、次段ブロックであるTSU制御部(5d)に出力するリタイミング回路(6e)、ネットワークプロセッサNPとインタフェースする監視制御回路(6f)より構成される。

【0062】検索回路(6c)は、複数のCAM(Contents Addressable Memory)とSRAMが接続され、該パケットがどの



ようなルールに基づいてクラス分けされるかという条件情報(ルールリスト)がCAMに設定され、左記ルールリストによって決定付けられる動作情報(アクションリスト)がSRAMに設定されている。

【0063】ネットワークプロセッサNPは、監視制御回路(6f)経由にて装置内の現在運用中のルールリストをCAMから読み出す機能、現在運用中のアクションリストをSRAMから読み出す機能、ルールリスト/アクションリストの運用/非運用を切り替える機能を有する。

【0064】本発明の実施形態について、その動作例を示す。説明を簡略化するため、具体例に沿って説明する(図4:装置機能説明図)。

【0065】図4は、本発明を適用する図1に示した装置の機能を示した説明図であり、同図に即して装置内におけるIPパケットの転送手順について説明する。

【0066】(1)受信フェーズ(Receiving phase) Line Cardの回線から入力したIPパケットを、Pageに分割し、左記をTSUのペイロードメモリに蓄積する。

【0067】(2)Route Requestフェーズ(Route request phase)

ラインカード(Line Card)は、TSUのペイロードメモリに保存されたIPパケットの宛先を解決するために、TSUのメモリからこのIPパケットを構成する先頭Page(IPパケットのヘッダ情報が含まれている)のみを取り出して、上記をRoute Request Pageとしてスイッチ経由にてForwarding Engineに転送する。Forwarding Engineは、Line Cardから受信したRoute Request PageをFSUのペイロードメモリに保存する。

【0068】(3)Forwardingフェーズ(Forwarding phase)

Forwarding Engineは、FSUのメモリからRoute Request Pageを読み出し、上記を経路検索処理部(Forwarding Engine処理部)で、IPパケットの宛先となるLine Cardを解決し、さらに、Route Request Pageを変更したUpdated Header Pageを作成し、TSUのメモリに保存する。

【0069】(4)Updated Headerフェーズ(Updated header phase)

Forwarding Engineは、TSUのペイロードメモリからUpdated Header Pageを取り出し、上記をRoute Request Pageを送信したLine Cardに返送する。Line Cardは受信したUpdated Header PageをFSUのペイロードメモリに一時保存したあと、FSUのメモリからTSUのメモリにUpdated Header Pageを転送する。

【0070】(5)Page転送フェーズ(Page transaction phase)

Line Cardは、TSUペイロードメモリに保存されているIPパケットの全てのPageを宛先Line Cardに向けて送信する。その際、IPパケットの先頭Pageは、Forwarding Engineから返されたUpdated Header Pageに置き換えて転送する。Pageを受信した宛先のLine Cardではこ

のPageをFSUのペイロードメモリに一時保存する。

【0071】(6)送信フェーズ(Sending phase) パケット全体を受信したLine Cardは、FSUのペイロードメモリからPageを読み出し、回線に対応したパケットに変更して送信する。

【0072】上記に示した転送手順において、IPパケットは、図示した(1)⇒(2)⇒(3)⇒(4)⇒(5)⇒(6)の転送手順を行うが、ラベル化パケットは、図示したFEへの転送phaseである(2)(3)

(4)は、カットスルーされるべく、転送処理が実施される。

【0073】図7は、検索回路(6c)内での動作を説明するためのMPLS解決エントリ対応関係を示した図面である。

【0074】説明を簡素化する為に、経路解決およびラベル処理を、グループ化し(「一括り」とし)、上記経路解決処理とクラス解決とは参照する要素を分離している。

【0075】経路解決処理においては、入力ラベル値(例えば、20ビット)あるいは、入力ラベル値および入力ポート番号の組情報から、経路情報と出力ラベル値(例えば、20ビット)を解決する。後述するテーブル参照においては、例えばCAMに対するサーチ処理で実現できる。

【0076】解決する経路情報とは、出力するラベル化パケットに付与する出力ラベル値と、該ラベルの挿入/変換/削除を明示するアクションコードと、装置内スイッチングに必要となる宛先ポート番号と、コピー先の宛先ポート番号を示すコピー情報等が含まれる。

【0077】ネットワーク内の品質のQOS情報を定義した“クラス情報”は、ラベル化パケットのヘッダ部に収容されるEXP(Experimental Use)フィールドをキー(アドレス)としたメモリ読み出しを行えばよく、極小容量のメモリ配備にて実現可能である。

【0078】具体的には、ラベルを付したパケットはMPLS(old)のヘッダ(32ビット)と入力ポート番号とを対として、MPLS(old)のヘッダはMPLS(old)ラベル20ビットと入力ポート番号とを対として、ラベル処理と経路解決処理とに処理分割され、ラベル処理によって、MPLS(new)20ビットと、アクションコードとを出力し、経路解決処理から、パケット種別と宛先ポート番号とコピー情報と廃棄情報とに分割して出力される。また、入力ポート番号は、入力ポート番号とExp3ビットとを対として、一つはDS-PPHBコード解決処理を行い、クラス情報を出力し、他は出力(Exp)3ビットとなる。また、Per-Interface-Label-Spaceをサポートしない場合は、ラベル処理、及び経路解決処理にて、入力ポート番号の情報(Port)は不要である。

【0079】図7に示したMPLS解決エントリ(受信

部) 対応を実現する為のテーブル構成(Key & Contents)の詳細を、図12(1)~(4)に示す。MPLSエンジン(5c)には、前述した通り、複数のCAM(Contents Addressable Memory)とSRAMとが接続され、該パケットがどのようなルールに基づいてクラス分けされるかという条件情報(ルールリスト)がCAMに設定され、左記ルールリストによって決定付けられる動作情報(アクションリスト)がSRAMに設定されている。CAM検索によって得られるヒットアドレスは、SRAMへのアドレスポインタとして使用し、最終的に該パケットに対するアクション(あるいは、ふるまい)リストが得られる。

【0080】クラス解決処理は、運用によりいくつかの形態が考えられ、パケットヘッダ内EXP情報のみで一意に決定してもよいし、ラベルとEXPの組合わせで決定してもよい。なお廃棄処理と対応付けを行う方法、ラベルのみでクラス識別、EXPのみで廃棄処理を実行する方法等の運用形態があり得る。いずれの場合も、少量のメモリを配備するか、CAMエントリとしてラベル情報とEXPの組合わせを事前登録しておけばよい。

【0081】図8に図6に示したMPLSエンジン(受信側)部のタイムチャートを示し、この動作を詳細に説明する。図8において、各CPUを有するラッチ回路6a、検索回路6c、リタイミング回路6e等のクロック信号と、パケットの先頭位置パルスと、ラッチ回路6aから出力されるタイミングパルスをそれぞれ示している。

【0082】ラッチ回路(6a)は、IPパケットまたはラベル化パケットのヘッダ部をそれぞれの先頭位置パルス、あるいは、回路内部で生成したタイミングパルスでラッチする。[図8-1]

ラッチ対象データは、ラベル化パケットの場合、入力ラベル値、EXP値、入力ポート番号、パケット長である。パケット長は、装置内のオーバーヘッド分を加算した後、page単位に正規化して管理を簡素化することによって、回路規模を縮小しても良い。[図8-2]

検索回路(6c)は、ラッチした入力ラベル値、または、入力ラベル値と入力ポート番号の組を検索データとして、CAMに与え[図8-3]、(ルールリストの)検索処理を行い、CAMのヒットアドレスを取得し[図8-4]、更に取得したヒットアドレスをリードアドレスとしてSRAMをアクセス(読み出し処理)し、アクションリストを取得する[図8-5]。アクションリストは、出力ラベル値、動作コード、出力ポート番号、ヘッダ更新情報、フィルタリング情報等を含む。[図8-6]

ポリシング処理後のクラス更新情報[図8-7]、判定結果情報(廃棄/非廃棄)[図8-8]は、前述のアクションリストと共にリタイミング処理後、出力情報(5c#out)として、出力フレームパルスと共に次段TSU制御部(5d)に出力する。[図8-9]

図9A、図9Bは、MPLSエンジン部(5c)が解決した

アクションリスト情報(5c#out)を受信したTSU制御部(5d)でのマッピング処理を示している。図9Aは、ラベル化パケットのマッピング例であり、図9Bは、IPパケットのマッピング例である。

【0083】本発明において、図5に示すMPLSエンジン受信側(5c)は、外付けメモリとして、CAM及びSRAMと接続される。CAMには主に条件情報、SRAMにはアクション情報が記述される。MPLSエンジン受信側(5c)では、受信したパケットがIPパケットである場合には、そのIPパケットに基づいて、CAM、SRAMを検索し、そのIPパケットに対するキュー優先度、廃棄/通過処理(フィルタリング)、SW優先/非優先処理、DifservのDSCP値の付与等の処理が導き出される。

【0084】一方、受信したパケットがラベル化パケットの場合には、そのラベル化パケットに基づいて、CAM、SRAMを検索し、そのラベル化パケットに対する処理アクション(ラベルのSWAP又はPOP処理)が追加され、更に、IPパケットの場合と同様に、キュー優先度、廃棄/通過処理(フィルタリング)、SW優先/非優先処理、DifservのDSCP値の付与等の処理が導き出される。

【0085】アクションリストは、MSLPエンジン受信側(5c)が解決するIPパケット又はラベル化パケットに対するアクション情報のリストである。又、TSU制御ブロック(5d)により実施されて実際にパケットに反映される処理が、アクションマップリストマッピングである。

【0086】図9Aについては、説明を簡素化するために、ラベル処理(PUSH/SWAP/POP)のうち、ラベルSWAP処理のみ例示しているが、ラベルPOP/PUSH処理においても、同等の処理となる。図9Aにおいて、MPLSエンジン部(5c)の受信側が出力するアクションリストは、左上のWord0-2に示す3行分であり、Word2にラベル化したパケットのラベル符号が添付されており、このリストからTSU制御部(5d)でのマッピング処理は、左下のラベル化パケット(1枚時)の先頭Pageフォーマット例を示すように、変換される。そのとき、細い線で変換行き先を示すように、各符号の配置がずれてフォーマットされる。

【0087】また、図9Bにおいて、IPパケット時のアクションリストマッピング例として、図上段のTSU制御部(5d)の入力パケットである、ラベル化符号のないIPパケットから、下段左側に示すフォーマットに変換される。特に、Check sumの移動ポイントが大ききずれている。また、下段右側に示すのは、0ビットから17ビットの詳細な説明図であり、この箇所にパケットのページ数とパケットのオクテット数が挿入されている。

【0088】図9Aと図9Bにおける差分(変更ポイント)のみを以下に示す。なお、個々の略語とその意味内容の説明については、図13に示すとおりである。例えば、Typeは当該ObjectのType(型)を示し、FE転送と

カットスルー転送、廃棄指示等の型があり、ErはErrorであり、エラーを示し、RouteはRouteである。

【0089】次に、図9A、図9Bにおいて、  
(A) 先頭pageマッピング時の差分は以下の通りである。

- (1) Qpri (Qos Priority: クラス識別子)を移動。
  - (2) Blength (Packet Length: パケットのデータ長を指定)を追加。
  - (3) LC Iフィールドを、Dtag番号に変更。
  - (4) Card は、Mcastフィールドに変更。値は固定値
- (B) Object生成におけるマッピング時の差分は以下の通りである。

- (1) Type フィールドを 01 ---> 11 に変更。
- (2) route を 宛先のLine Card の実装slot番号にする。
- (3) scout は、0001 の固定値

このように、TSU制御部(5d)では、入力されたパケットの種類によって、挿入箇所が異なっている。

【0090】

【発明の効果】以上説明した本発明によれば、スイッチインタフェース部やスイッチファブリックは、従来ルータのアーキテクチャを踏襲し、IPパケットとラベル化パケットが混在する場合でも、両者のハンドリングが可能となるようなパケット識別手段、パケット振分手段を備えているので、低コストで、従来ルータにラベル化パケットハンドリング機能を具備することが可能となる。

【0091】また、ラベル化パケットはラインカード内の専用エンジンにて経路解決を行い、IPパケットは、FE転送するという振分する手段を有し、更にラベル化パケットは、ネットワーク層よりも下位層の処理でパケットハンドリング(パケット転送)する手段を具備しているので、ラベル化パケットのハンドリングが高速に実行できる。

【0092】また、経路検索に伴うスイッチ経由の転送(従来、route-request/updated-headerの転送がFEカード・ラインカード間で発生するというボトルネック箇所)を軽減する手段を具備しているので、スイッチの帯域リソースを効率的に使用でき、転送性能を向上させることが可能である。

【0093】また、本発明は、IPパケットと混在するラベル化パケットをネットワークサービス品質(Quality of Service: QOS)に応じて制御する手段を有した通信装置であるので、IPパケットスイッチ機能とATMクロスコネクタ機能とを有する従来ルータの機能アーキテクチャを踏襲し、前記従来ルータをLSR(Label Switching Router)に機能拡張する際において、柔軟な移行が可能(seamless)であり、汎用性に優れたパケット転送を実現するラベル化パケット転送処理方式および通信装置となる。

【図面の簡単な説明】

【図1】本発明の基本的な全体構成図である。

【図2】本発明のTSU・FSUの要部における説明図である。

【図3】本発明の仮想出力キュー管理のモデル図である。

【図4】本発明の主要部分の装置内転送フローチャート図である。

【図5】本発明のラインカードの構成図である。

【図6】本発明のMPLSエンジン[受信側]部の内部ブロック図である。

【図7】本発明のMPLSエンジン[受信部]での解決エントリ対応の説明図である。

【図8】本発明の図6に示すブロック図のタイミングチャートである。

【図9A】本発明のTSU制御部(5d)でのマッピングであり、ラベル化パケットの場合の説明図である。

【図9B】本発明のTSU制御部(5d)でのマッピングであり、IPパケットの場合の説明図である。

【図10】本発明及び従来例のMPLSDメイン内の転送メカニズムである。

【図11】本発明及び従来例のMPLS-DiffServのネットワークモデルである。

【図12A】本発明によるMPLSエンジン[受信側]のテーブル構成例である。

【図12B】本発明によるMPLSエンジン[受信側]のテーブル構成例である。

【図12C】本発明によるMPLSエンジン[受信側]のテーブル構成例である。

【図12D】本発明によるMPLSエンジン[受信側]のテーブル構成例である。

【図12E】本発明によるMPLSエンジン[受信側]のテーブル構成例である。

【図13A】本発明に使用する略語と意味と説明文の表である。

【図13B】本発明に使用する略語と意味と説明文の表である。

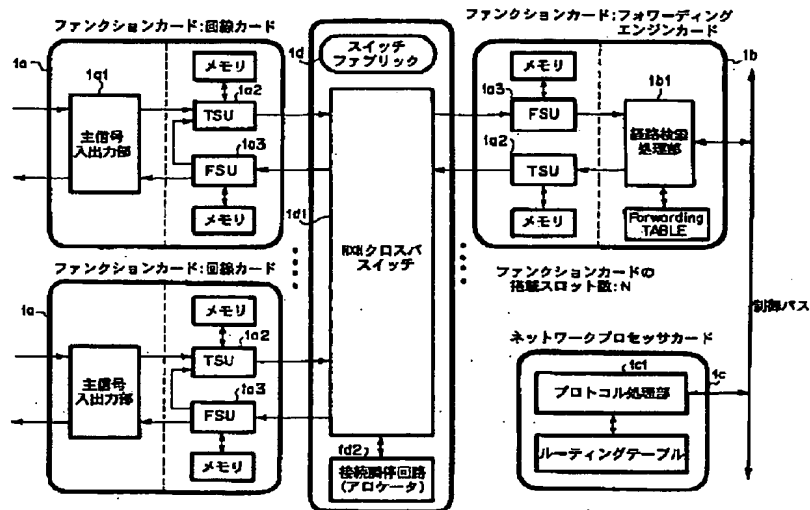
【符号の説明】

- 1a ファンクションカードの回線カード
- 1a1 主信号入出力部
- 1a2 TSU
- 1a3 FSU
- 1b ファンクションカードのフォワーディングエンジンカード(FE)
- 1c ネットワークプロセッサカード
- 1c1 プロトコル処理部
- 1d スイッチファブリック
- 1d1 N×Nクロスバスイッチ
- 1d2 接続調停回路(アロケータ)
- 5a 物理層(PHY)フレーム

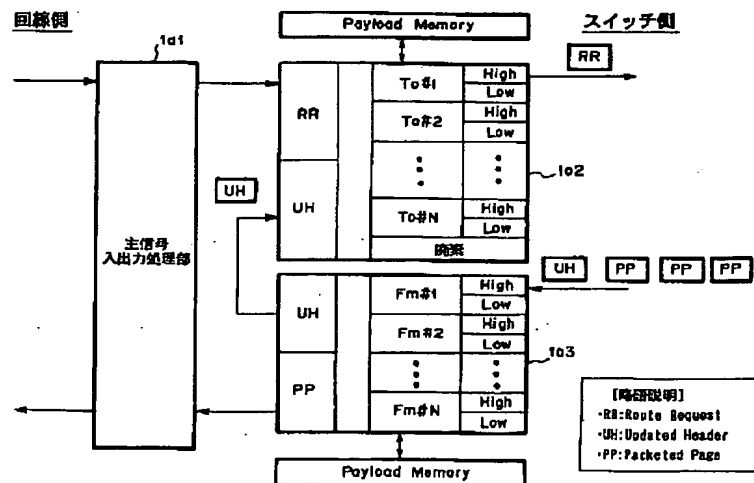
- 5 b PPPフレーム終端  
 5 c MPLSエンジン受信部  
 5 d TSU制御部  
 5 e FSU制御部  
 5 f MPLSエンジン送信部  
 6 a パルサー (Parser) ラッチ回路  
 6 b チェッカー (Checker) エラー判定回路

- 6 c シーチャ (Searcher) 探索回路  
 6 d ポリサー (Policer) ポリシング回路  
 6 e リタイミング回路  
 6 f 監視制御回路  
 10 a 入口ルータ (エッジルータ)  
 10 b コアルータ (中間ルータ)  
 10 c 出口ルータ (エッジルータ)

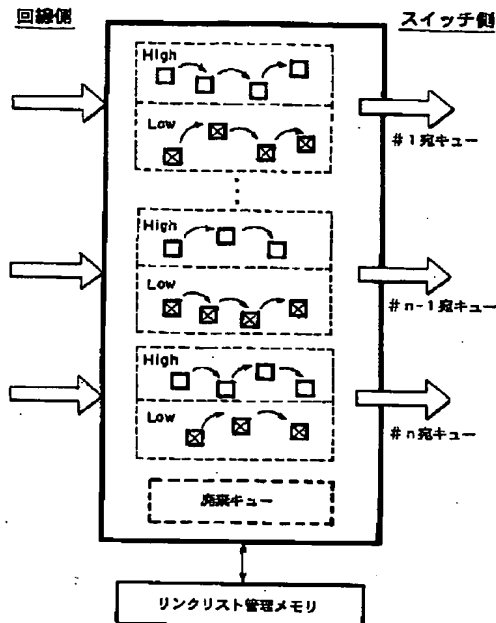
【図1】



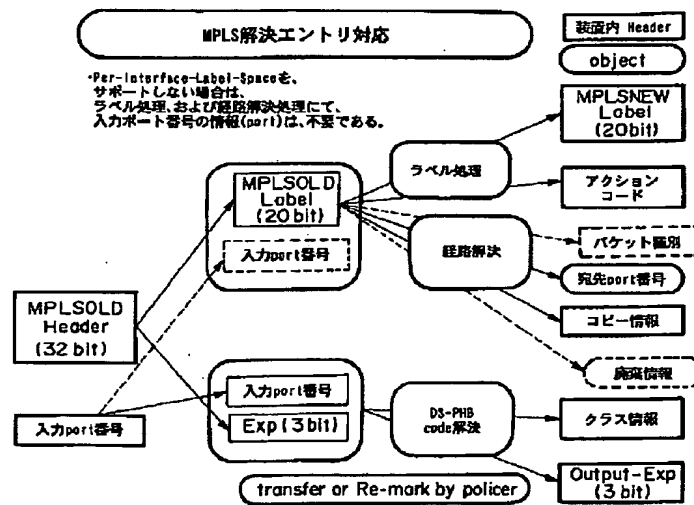
【図2】



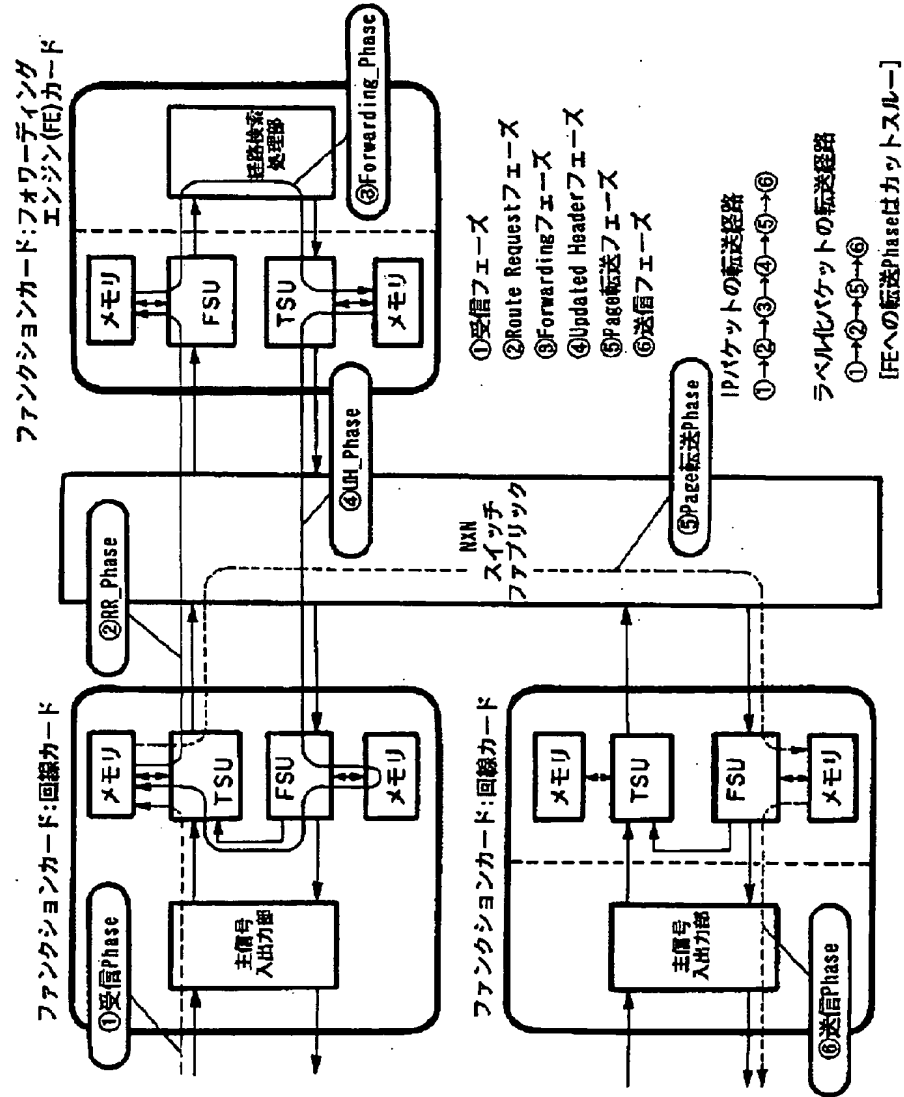
【図3】



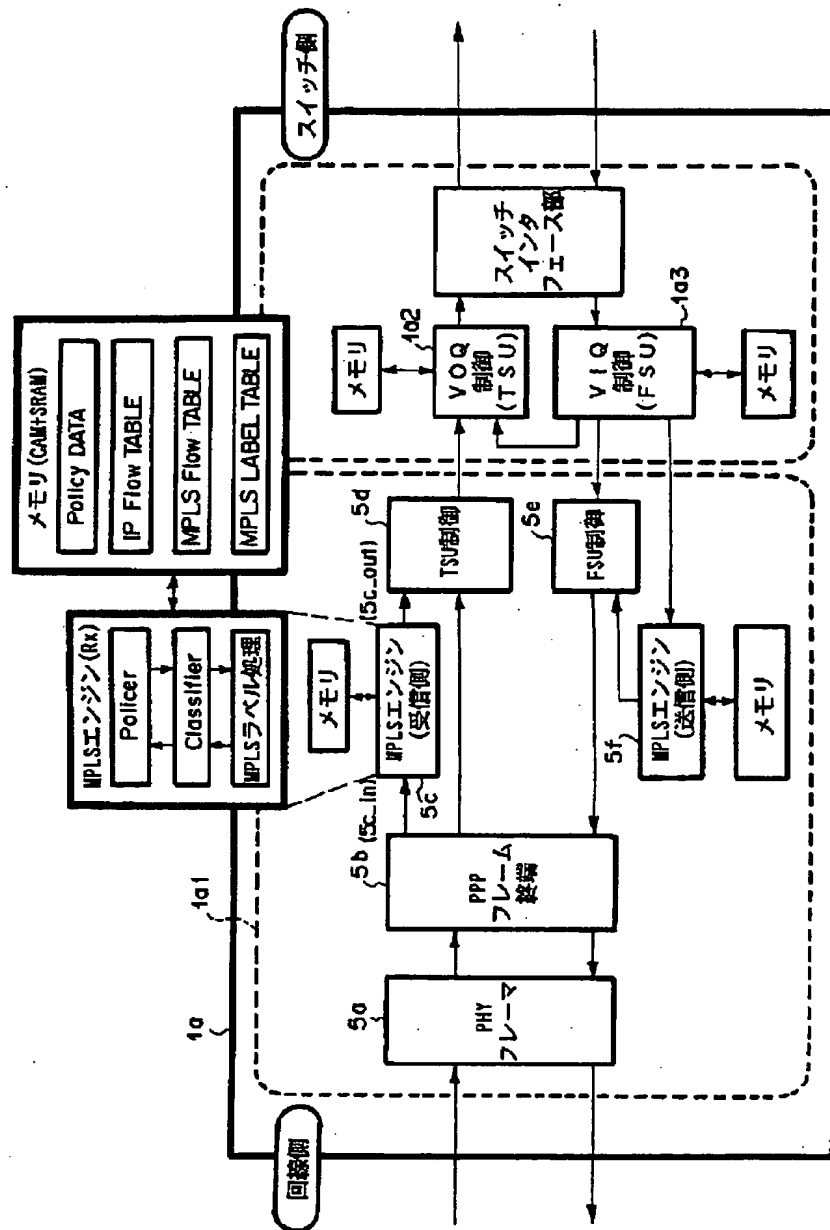
【図7】



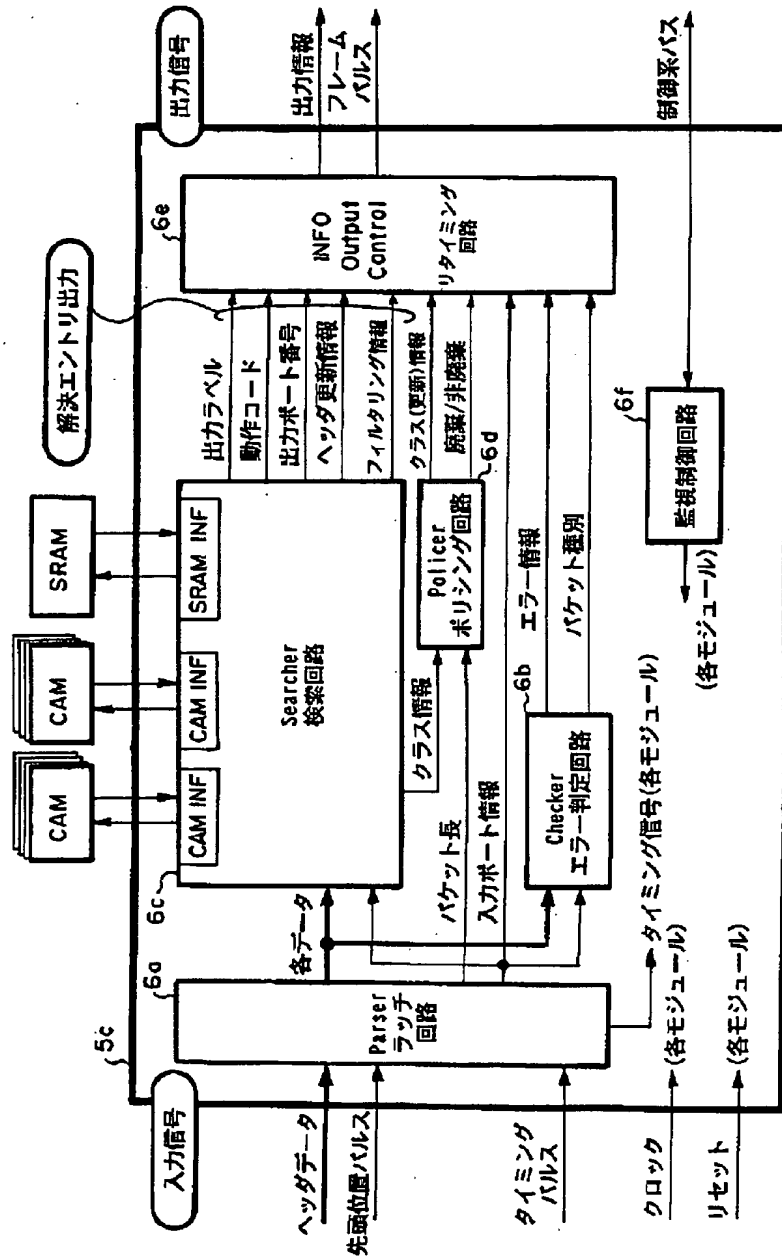
【図4】



【図5】

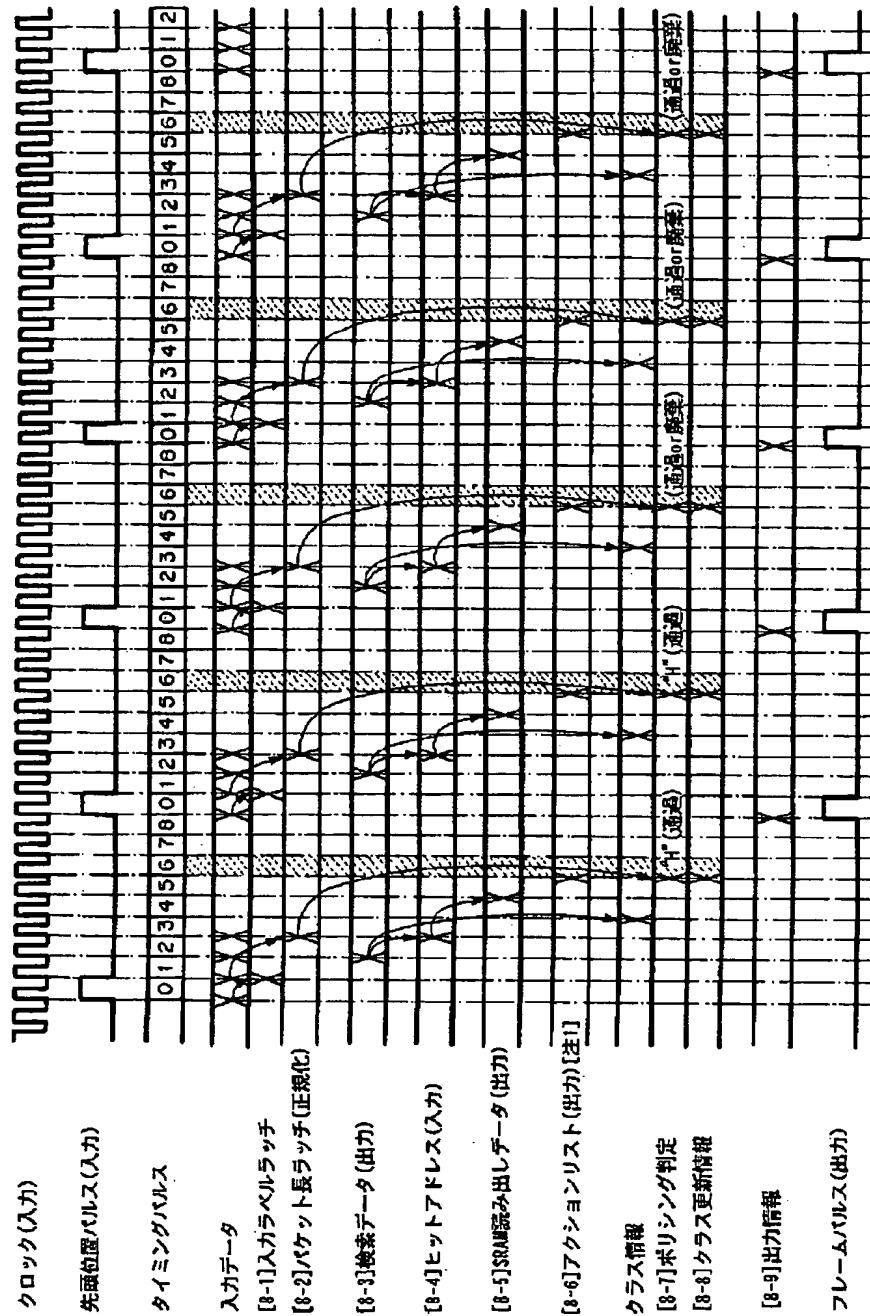


【図6】

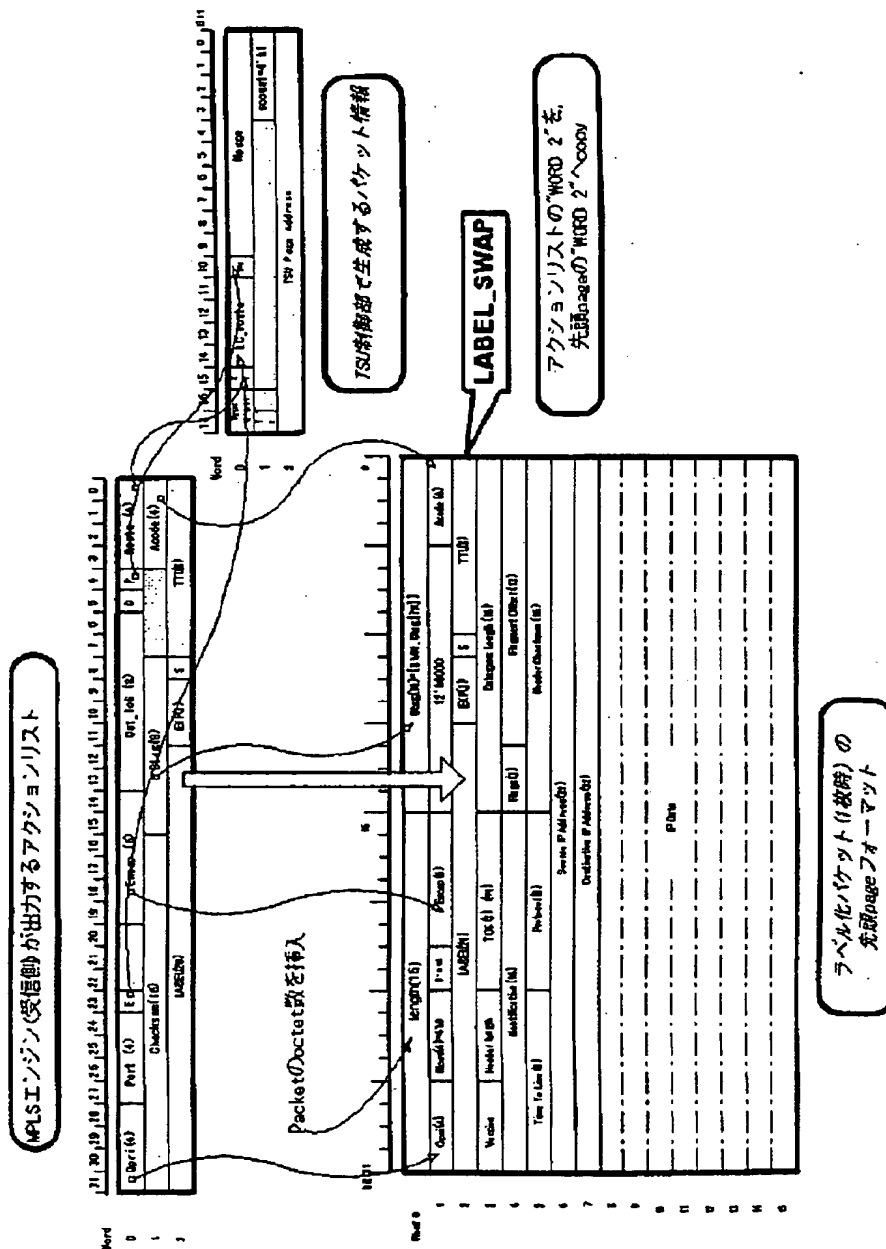


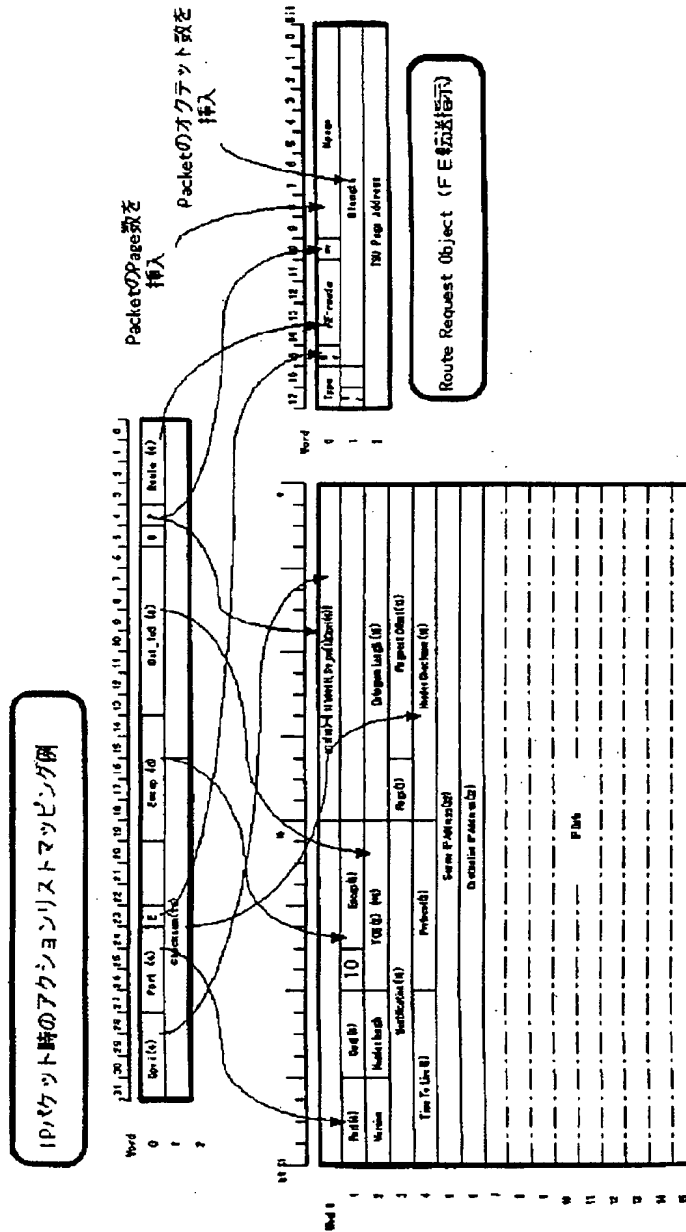


【図8】

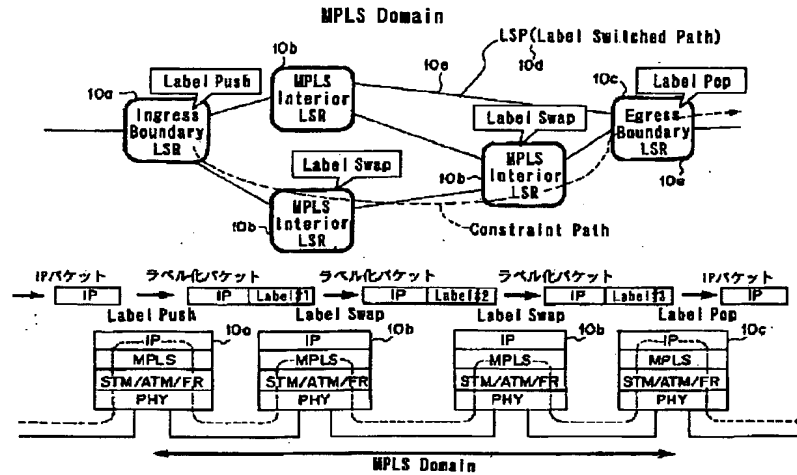


【注1】アクションリストには、出力ラベル値、動作コード、出力ポート番号、ヘッダ更新情報、フィルタリングのデータを含む。





【図10】

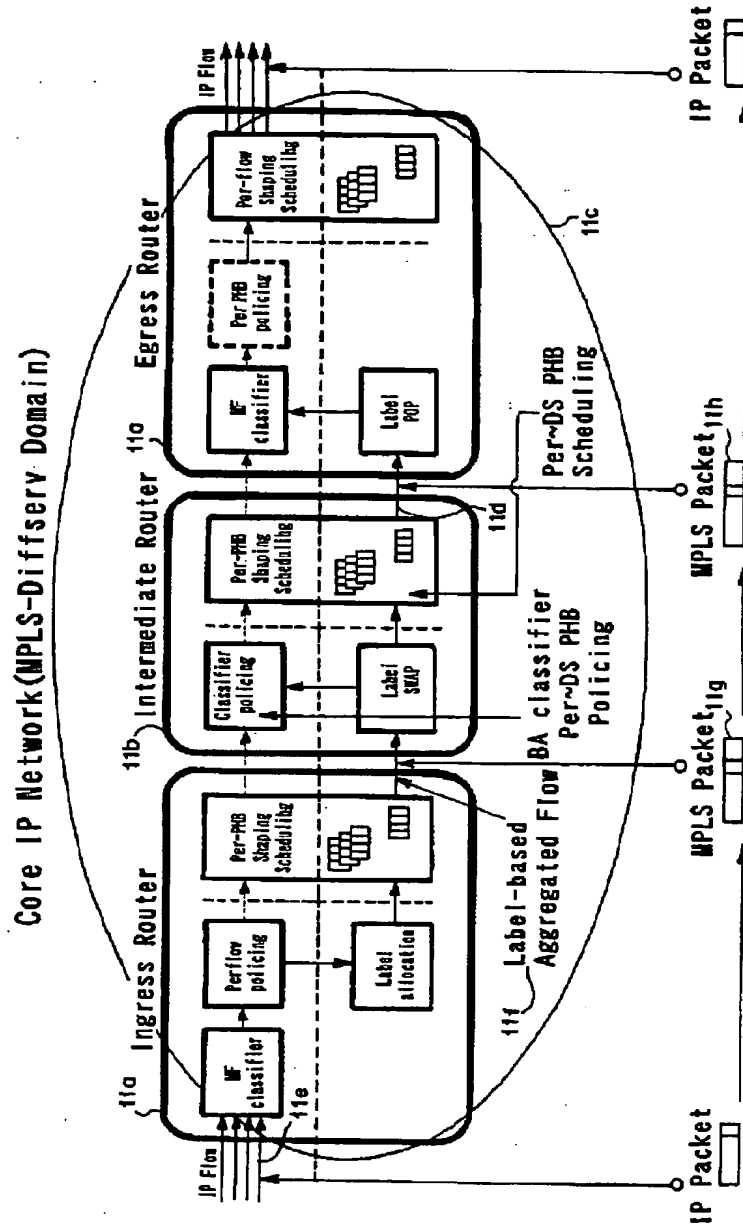


【図12C】

(3) DS-PHB解決テーブル (Port.EXP → Qpri, SWpri)

アドレス (6bit) {Port[2:0], Exp[2:0]}	データ (5bit) {Qpri[3:0], SWpri}		備考: PHB内容
	Qpri	P	
6'b 000 000	0000	0	クラス5 高損失 (BE)
6'b 000 001	1110	1	クラス1 低損失
6'b 000 010	1101	1	クラス1 中損失
6'b 000 011	1100	1	クラス1 高損失
6'b 000 100	1011	1	クラス2 低損失
6'b 000 101	1010	1	クラス2 中損失
6'b 000 110	1001	1	クラス2 高損失
6'b 000 111	1000	1	クラス3 低損失
6'b 001 000	0111	1	クラス3 中損失

【図11】



【図12A】

(1) 【CAM: MPLS-INFO格納領域 : 検索Code=0011(Full-Match)】

CAMアドレス (Addr_Q)	CAMデータ (24+3bit)				
	H W #(2)	検索 Code(4)	Input_Label (20)	Exp (3)	未使用
14'h00001	00	4'b0011	20'h00010	3'b000	
14'h00002	00	4'b0011	20'h00020	3'b001	
14'h00003	00	4'b0011	20'h00030	3'b000	
14'h00004	00	4'b0011	20'h00040	3'b001	
14'h00005	00	4'b0011	20'h00050	3'b010	
14'h00006	00	4'b0011	20'h00060	3'b011	
14'h00007	00	4'b0011	20'h00070	3'b100	
14'h00008	00	4'b0011	20'h00080	3'b011	
14'h00009	00	4'b0011	20'h00090	3'b110	
14'h0000A	00	4'b0011	20'h000A0	3'b111	
14'h0000B	00	4'b0011	20'h000B0	3'b011	
14'h0000C	00	4'b0011	20'h000C0	3'b110	
14'h0000D	00	4'b0011	20'h000D0	3'b111	

ハッチング箇所は、Label(20bit)+Exp(3bit)から、クラス(PHB-code)にマッピングする際に必要となる。

DS-PHBの定義は、下記勧告に準ずる。

- RFC2597: Assured Forwarding PHB Group
- RFC2598: An Expedited Forwarding PHB

【図12B】

## (2)SRAM構成

SRAMは、下図の通り、NHLFE(Next Hop Label Forwarding Entry)を格納するテーブルと、ILM(Incoming Label Map)エントリを格納するテーブルに分割される。両エントリは、アドレス最上位bit SRAM\_Address[15]にて識別する。

[SRAM : NHLFE(エントリ)]

アドレス {2'b00, Addr_Q}	データ(24bit)								備考
	Q_pri(4)	D	P	LC-Route (1+4)		Output Exp (2+3)		Dtag(8) (注 1)	
16'h0000	0000	0	0	0	FE	10	000	0000 0000	クラス5 高損失(BE)
16'h0001	1110	0	1	0	0000	00	000	0000 0010	クラス1 低損失
16'h0002	1101	0	1	0	0000	00	000	0000 0100	クラス1 中損失
16'h0003	1100	0	1	0	0000	00	000	0000 1000	クラス1 高損失
16'h0004	1011	0	1	0	0000	00	000	1000 0000	クラス2 低損失
16'h0005	1010	0	1	0	0000	00	000	0100 0000	クラス2 中損失
16'h0006	1001	0	1	0	0000	00	000	0010 0000	クラス2 高損失
16'h0007	1000	0	1	0	0000	00	000	0000 0100	クラス3 低損失
16'h0008	0111	0	1	0	0000	00	000	0000 1000	クラス3 中損失
16'h0009	0110	0	1	0	0000	00	000	1000 0000	クラス3 高損失
16'h000A	0101	0	1	0	0000	00	000	0100 0000	クラス4 低損失
16'h000B	0100	0	1	0	0000	00	000	0010 0000	クラス4 中損失
16'h000C	0011	0	0	0	0000	00	000	0000 1000	クラス4 高損失
16'h000D	1110	0	1	0	0000	00	000	1000 0000	クラス1 低損失

- ・ CAM MPLS-INFOアドレスエントリ検索でヒットしなかった場合は、全ラベルをpopし、IPパケットとしてDefault route (FE) に転送する。
- ・ ハッチング箇所は、Label(20bit) + Exp(3bit)から、クラス(PHB-code)にマッピングする際に必要となる。

[STEP1では不要]

(注1) Dtagは、別途デコードを配備して、出力Line番号(8ポート分: 3bit)に置換してもよい。

【図12D】

[SRAM: ILMエントリ]

アドレス (2'b10, Addr_Q)	データ(24bit)		備考
	Output-Label(20)	Acode(4) (注 2)	
16'h8000	20'hAAAAA	0000	クラス5 高損失 (BE)
16'h8001	20'h00010	0000	クラス1 低損失
16'h8002	20'h00000	0010 (注3)	クラス1 中損失
16'h8003	20'h00000	0011 (注3)	クラス1 高損失
16'h8004	20'h00040	0001	クラス2 低損失
16'h8005	20'h00050	0001	クラス2 中損失
16'h8006	20'h00060	0001	クラス2 高損失
16'h8007	20'h00070	0001	クラス3 低損失
16'h8008	20'h00000	0011 (注3)	クラス3 中損失
16'h8009	20'h00000	0001 (注3)	クラス3 高損失
16'h800A	20'h000A0	0000	クラス4 低損失
16'h800B	20'h000B0	0001	クラス4 中損失
16'h800C	20'h000C0	0001	クラス4 高損失
16'h800D	20'h000D0	0001	クラス1 低損失

(注3) PH-Pop時のOutput-Label(20)は、20'h00000 (Default) とする。



【図12E】

(4) 出力Exp、出力DSCP解決テーブル (Port, Qpri → Exp, DSCP)

アドレス (7bit) (Port [2:0], Qpri [3:0])	データ (9bit) [Exp [2:0], DSCP [5:0]]		備考
	EXP (3)	DSCP (6)	
7'b 000 0000	000	001 010	
7'b 000 0001	110	001 100	
7'b 000 0010	101	001 110	
7'b 000 0011	100	010 010	
7'b 000 0100	011	010 100	
7'b 000 0101	010	010 110	
7'b 000 0110	001	011 010	
7'b 000 0111	000	011 100	
7'b 111 1111	101	100 100	

【図13B】

略語	意味	内容
Length	Length of Packet	当該Packetのデータ長 (Byte長) を意味する。
Dtag	Destination Tag	宛先Line Card内のPacket処理方法を決定するためのタグ情報
Port	Source Card	当該Pageを生成したLine CardのPort番号。
	Port	
Q_pri	Queuing Priority	クラス識別子
Card	Source Card Slot	当該Pageを生成したLine CardのSlot番号
Mcast	Multicast Count	宛先Line CardでのPageコピー回数
Encap	Encapsulation	当該Pageの転送タイプを示し、 FE制御のためのSpecial Packet、Unicast/Multicast IPパケット、ラベル化パケットの識別等に使用する。
Acode	Action_Code	ラベル処理アクションコード

【図13A】

略語	意味	内容
Type	Type	当該ObjectのType(型)を示す。FE転送、カットスルー転送、廃棄指示等を示す。
Er	Error	エラーを明示。
Route	Route	当該Objectに対応するPacketを転送すべきCardのSlot番号を指定。  IP Packetの場合、Route Request Page転送時は、Forwarding EngineのSlot番号を指定し、カットスルー転送の場合は、宛先Line CardのSlot番号を指定する。Drop Object(パケット廃棄指示)の場合、このFieldは、"0000"をセットする。
Pr	Priority:	スイッチに対するPage転送のPriority Bitである。
Npage	Number of Page for the packet	Packetを構成するPage数を指定
Blength	Byte Length of the packet	Packetのデータ長を指定
TSU Page Address	TSU Payload Memory Page Address	Packetの先頭Pageが保存されているTSU Payload MemoryのPageアドレスを指定。
Tr	Trace	診断用に利用
scount	Source multicast count	Cell Objectの場合、該当Objectに対応するCell Pageをスイッチに転送するときのPageのコピー回数を指定
dtag	Destination Tag	該当Objectに対応するCell Pageが、宛先Line Cardに転送されたとき、宛先Line Card内のPacket処理の動作方法 (Multicast動作、出力Port決定) を決定するためのタグ。